

RFP관리번호	2025-반도체·디스플레이-품목공모-02			공모유형	품목공모형	
해당여부	<input checked="" type="checkbox"/> 국가전략기술 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 글로벌 R&D <input type="checkbox"/> 미래소재 <input type="checkbox"/> 전략연구사업(MPX(예정) <input type="checkbox"/> 국방전략기술(예정)					
국책연구기획 평가전문분야1	PM분야	반도체· 디스플레이	RB분야	SI반도체	RB세부분야	뉴로모픽 소자
사업명	원천기술개발사업 - 차세대지능형반도체기술개발(소자)(R&D) - 신소자원천기술개발					
RFP명	차세대 지능형반도체 Lab to Fab 스케일업 기반 구축					
	(TRL : [시작] 4단계 ~ [종료] 5단계)					
RFP유형코드	사업목적·내용	성과물 특성		지원대상	보안과제 분류	일반
	RF	1	-	1		
1. 추진배경						
<div> <input type="checkbox"/> 추진배경         <ul style="list-style-type: none"> <li>○ 사물과 사람의 연결까지 이루어지는 5차 산업혁명 시대의 핵심기술은 고성능 인공지능(AI) 기술이며, 해당 기술 구현의 핵심 열쇠는 차세대 지능형반도체 기술임.</li> <li>○ CMOS 소자와 융합되는 지능형반도체 구조는 일반적으로 FEOL(Front End of Line) 영역에 CMOS 소자 제작 기술을 이용하여 선택소자 및 구동회로를 구성하고 BEOL (Back End of Line) 영역에 지능형소자(멤리스터 소자 및 어레이)를 제작되는 구조임. 이때 지능형소자는 일반적으로 CMOS 제조 파운드리에서 사용되지 않는 다양한 소재 및 구조를 요구되는 경우가 많아 융합제조 기술의 구축 및 적용이 무엇보다 중요함.</li> <li>○ 지능형반도체의 차별화된 제조기술은 미국 SkyWater Technology, IMEC 등 소수의 파운드리 및 연구기관에서만 구축·제공하고 있으며, 이는 특정 공동연구자들에게만 한정되게 제공되어, 국내 연구개발자들이 상기 기술의 혜택을 받기에는 현실적으로 불가능한 실정임. 국내에 별도의 지능형반도체 제작지원 서비스가 없기에 국내 연구개발자들은 이에 대한 대안으로 하부의 CMOS 소자 및 구동회로까지만 파운드리(Fab)에서 제작하고, 상부에 제작되는 지능형소자는 부득이하게 외부 제조환경(Lab)에서 제작하는 방법을 선택함. 이와 같은 이원화된 방법은 양산형 제조장비와 제조기술을 전체적으로 적용하지 못하여 공정균일도 및 재현반복성에 좋지 못한 결과를 가져옴.</li> <li>○ 이와 같은 상황을 개선하기 위하여 국내 연구개발자들은 국내에 상용 파운드리 수준의 양산형 제조장비 및 제조기술이 적용된 지능형반도체 전용 제조시설을 강하게 요구하고 있음. 특히 상용 파운드리에 비해 상대적으로 특화공정 개발이 용이한 인프라기관을 주축으로 지능형반도체 기반 구축 및 이를 이용한 기술지원 대한 수요가 급격히 증가하는 추세임.</li> </ul> </div>						

## □ 기획 주안점

- 본 과제는 학교 혹은 연구소에서 **연구실(Lab)** 중심으로 개발되었거나, 현재 개발 중인 지능형반도체 기술을 공공인프라를 포함한 고도화된 **양산형 반도체 제조 환경(Fab)**에 개발 및 구축하여 상용화 가능성을 실증할 수 있도록 지능형반도체 개발용 “**Lab to Fab 스케일업 기반**”을 구축·지원함을 목표로 함.
- CMOS 소자 및 구동회로와 지능형소자를 일괄제조 할 수 있는 융합제조 기반기술을 동일기관에서 개발 및 구축하여 상용화 가능성을 검증할 수 있도록 지원함은 본과제의 중요한 목표로 함.
- 본 연구과제 통해 개발 및 제공되는 기반기술의 다양한 활용방안 및 기존 기성 기술 대비 우수한 경쟁력을 가짐을 제시할 필요가 있음.
- 연구과제의 최종 목표를 달성하기 위한 세부적인 방법론을 연구자별로 자율적으로 제시하여 연구의 체계성 및 구현 가능성을 충분히 입증하여 본 연구과제 기간 내, 구체적인 성과를 얻을 수 있음을 보일 필요가 있음.

## 2. 연구개발목표

- 최종 목표 : 차세대 지능형반도체 Lab to Fab 스케일업 기반 구축

- 단계별 목표

1단계('25~'26)	<ul style="list-style-type: none"> <li>· CMOS-호환 지능형소자(ReRAM, FTJ 2종) 개발</li> <li>· CMOS 선택소자 + 지능형소자(ReRAM, FTJ 2종) 통합 PDK 구축 및 제작서비스 지원</li> </ul>
2단계('27~'28)	<ul style="list-style-type: none"> <li>· CMOS-호환 지능형소자(ReRAM, FTJ, TFT Type FeFET 3종) 개선 성능 확보</li> <li>· 동일기관 단일집적형 지능형반도체 제작서비스 지원(통합 PDK 활용 + 구동회로 포함)</li> </ul>

- 세부 목표 :

### (1) 1단계 목표('25~'26, 21개월)

- ① [연구개발] 지능형반도체 융합을 위한 CMOS 소자 최적화
  - 지능형반도체에 적합한 최적 CMOS 소자 최적 설계 도출
  - 지능형소자 융합에 따른 기존 CMOS 소자구조, 공정방법 및 적용소재 등 변경에 대한 방안은 연구자가 자율 제시
- ② [연구개발] CMOS-호환 지능형소자(ReRAM, FTJ 2종) 기술 개발
  - CMOS-호환 지능형소자(ReRAM, FTJ 2종) 제조기술 개발
    - \* 소재 및 소자에 대한 공정 방법, 소자 구조 및 특성은 연구자가 자율 제시
  - CMOS 소자 + 지능형소자(ReRAM, FTJ 2종)에 대한 통합 PDK 구축

- \* 통합 PDK 중 CMOS 소자 부분은 BSIM 기반의 FEOL(CMOS 소자) 모델과 BEOL (Interconnection) 모델로 구성 제시
  - \* 지능형소자(ReRAM, FTJ 2종)에 대하여 모델을 개발, 구축함. 소자의 구조, 특성 등에 맞추어 모델 구축 방법은 연구자가 자율 제시
- ③ [연구개발] 지능형반도체 융합용 구동회로 설계 및 검증
- 과제의 2단계부터 제공될 지능형반도체 구동회로에 대한 선행개발 및 검증 수행
  - 기술의 검증 지원 시 소자 성능 및 회로 집적도 등을 고려하여 지능형반도체 구동회로에 대한 성능목표는 연구자가 자율 제시
- ④ [검증지원] 8인치 기반 180nm CMOS 선택소자 특화 MPW 지원
- 외부에서 지능형소자를 제작·검증을 진행하는 경우에 대한 8인치 기반 180nm CMOS를 이용한 하부 선택소자 웨이퍼 제작 지원 서비스 수행
  - CMOS 소자 지원용 특화 MPW 수행 시 외부 후속 공정 편의를 위하여 연구개발자의 요청에 따라 임의의 특정 공정 스텝에서 유연하게 Fab-out 할 수 있게 지원
  - 과제를 통해 제공될 CMOS 소자의 성능지표는 하기 예시를 포함하여 연구자가 자율 제시

(정량 목표 항목 예시 - 하부 CMOS 소자)

평가 항목 (주요 성능)	단위	성능목표	Remarks
CMOS Transistor Min. CD	nm	180	지능형소자와 집적된 CMOS 소자의 성능기준
CMOS Transistor VDD(Thin Tr.)	V	1.8	지능형소자와 집적된 CMOS 소자의 성능기준
CMOS Transistor VDD(Thick Tr.)	V	3.3	지능형소자와 집적된 CMOS 소자의 성능기준
CMOS Transistor 산포(Device to Device)	%	$\leq \pm 20$	지능형소자와 집적된 CMOS 소자의 성능기준

- ⑤ [검증지원] 8인치 기반 180nm CMOS 선택소자 + 지능형소자(ReRAM, FTJ 2종) 융합형 지능형반도체 제작 특화 MPW 서비스 지원
- CMOS 선택소자와 지능형소자를 동일 웨이퍼에 제공하여 개발된 지능형소자 기술의 성능과 상용화 가능성을 검증하는 제작 지원 서비스 수행
  - CMOS 소자와 융합·집적된 지능형소자는 단일형태와 어레이 형태로 선택 활용이 가능하게 지원하며, 지능형소자의 성능목표는 연구자가 자율 제시

## (2) 2단계 목표('27~'28, 24개월)

- ① [연구개발] CMOS-호환 지능형소자(ReRAM, FTJ, TFT Type FeFET 3종) 개선 성능 확보
- CMOS-호환 지능형소자(ReRAM, FTJ, TFT Type FeFET 3종)에 대하여, 산학연 서비스 가능하면서도 세계최고급 성능을 확보하기 위한 목적의 연구개발을 수행하며, 최종 개발된 지능형소자의 성능지표는 하기 예시를 포함하여 연구자가 자율 제시

(정량 목표 항목 예시 - CMOS-호환 지능형소자)

평가 항목(주요 성능)	단위	성능목표			Remarks
		ReRAM	FTJ	FeFET(TFT Type)	
Read Current	μA	≤ 100	≤ 1	≤ 1	
On/Off Ratio	$I_{LRS}(+V_{read})/I_{HRS}(+V_{read})$	≥ 30	≥ 10 <sup>3</sup>	≥ 10 <sup>5</sup>	
Latency (Read)	μs	≤ 1	≤ 1	≤ 10	
Latency (Write)	μs	≤ 1	≤ 1	≤ 10	
Endurance	cycles	≥ 10 <sup>6</sup>	≥ 10 <sup>7</sup>	≥ 10 <sup>7</sup>	
Retention(@ RT)	years	≥ 10	≥ 10	≥ 10	
Device to Device(D2D) 산포	%	≤ ±20	≤ ±20	≤ ±20	
Unit 소자 Min. Size	μm <sup>2</sup>	0.56 X 0.56	30 X 30	0.5(L) X 10(W)	

- ② [검증지원] 동일기판/다이 단일집적형 지능형반도체 제작서비스 지원

(통합 PDK 활용 + 구동회로 포함)

- CMOS 소자 + 지능형소자 통합 PDK가 적용되고, 1단계에서 개발된 지능형반도체용 구동회로를 포함하는 제작 지원 특화 MPW 서비스 수행
- 동일 웨이퍼에 집적되는 지능형소자 및 구동회로의 성능목표는 연구자가 자율 제시

[참고] 국내외 관련 기술 주요 성능지표

평가 항목 (주요 성능)	단위	세계 최고수준	연구개발 전 국내 수준	목표설정 근거
		성능수준	성능수준	
※ 지능형반도체 제작을 위한 하부 CMOS 소자 기술 개발				
CMOS Tr. CD(for 융·복합기술)	nm	22	180	IEEE J Solid-State Circuits, 58, 303, 2023
CMOS Tr. VDD(for 융·복합기술)	V	0.75	1.8	IEEE J Solid-State Circuits, 58, 303, 2023
CMOS Tr. 산포(for 융·복합기술)	%	≤ ±5	≤ ±20	IEEE J Solid-State Circuits, 58, 303, 2023
※ 상부 지능형소자 기술 개발 I (ReRAM)				
Device Type	-	1T1R [1kb]	1T1R [Unit]	IEEE IEDM, 35, 19573, 2019
Read Current	μA	100	500	IEEE IEDM, 35, 19573, 2019
On/Off Ratio	$I_{LRS}(+V_{read})/$ $I_{HRS}(+V_{read})$	≥ 30	30	IEEE IEDM, 35, 19573, 2019
Latency(Read)	μs	1	1	IEEE IEDM, 35, 19573, 2019
Latency(Write)	μs	1	1	IEEE IEDM, 35, 19573, 2019
Endurance	cycles	10 <sup>6</sup>	10 <sup>5</sup>	IEEE IEDM, 35, 19573, 2019
Retention(@ RT)	years	≥ 10	≥ 10	IEEE IEDM, 35, 19573, 2019
Device to Device(D2D) 산포	%	≤ ±30	≤ ±30	IEEE IEDM, 35, 19573, 2019

※ 상부 지능형소자 기술 개발 II (FTJ)		* 단, FTJ의 경우 CMOS 소자와 FTJ가 융합한 결과가 아닌 FTJ 단독 성능을 기재함.		
Device Type	-	1FTJ [16 x 16]	1FTJ [16 x 16]	Nanotechnology, 32, 485202, 2021
Read Current	μA	1.7	100	IEEE ESSCIRC, 55480, 2022
On/Off Ratio	$I_{LRS}(+V_{read})/I_{HRS}(+V_{read})$	100	100	IEEE ESSCIRC, 55480, 2022
Latency(Read)	μs	0.01	0.01	IEEE J Solid-State Circuits, 59, 1, 2024
Latency(Write)	μs	0.01	0.01	IEEE J Solid-State Circuits, 59, 1, 2024
Endurance	cycles	$\geq 10^9$	$\geq 10^8$	IEEE Symp. on VLSI circuit, 57934, 2023
Retention(@ RT)	years	$\geq 10$	10	IEEE J Solid-State Circuits, 58, 7, 2023
Device to Device(D2D) 산포	%	$\leq \pm 10$	$\leq \pm 10$	Nanotechnology, 32, 485202, 2021
※ 상부 지능형소자 기술 개발 III (TFT Type FeFET)		* 단, 국내 FeFET의 경우 CMOS와 융합 결과가 아닌 FeFET 단독 성능을 기재함.		
Device Type	-	1T1FeFET	1FeFET	IEEE Symp. on VLSI Tech, 2021
Read Current	μA	0.1	1	Nat. Commun, 15, 2686, 2024
On/Off Ratio	$I_{LRS}(+V_{read})/I_{HRS}(+V_{read})$	$10^8$	$\geq 10^5$	Nat. Commun, 15, 2686, 2024
Latency(Read)	μs	1	1	IEEE IEDM, 21, 445, 2021
Latency(Write)	μs	1	1	IEEE IEDM, 21, 445, 2021
Endurance	cycles	$\geq 2 \times 10^9$	$\geq 10^6$	IEEE Symp. on VLSI circuit, 57934, 2023
Retention(@ RT)	years	$\geq 10$	$\geq 10$	Nat. Commun, 15, 2686, 2024
Device to Device(D2D) 산포	%	$\leq \pm 20$	$\leq \pm 20$	Nat. Commun, 14, 504, 2023

### 3. 성과목표

- 본 과제는 지능형반도체 기반기술을 구축하고 이를 특화 MPW 서비스하여 지능형 반도체 기술을 검증 지원하는 것이 필수적. 연차별 Wafer 및 Lot 지원 계획 등의 구체적인 서비스 계획을 자율 제시
- 지능형소자 기술 : 향후 기술의 파급을 고려하여 기존의 Si 기반의 CMOS 제조 공정과 100% 호환이 가능한 지능형소자로 한정하여 제시
- 지능형반도체 어레이 기반기술 : Si CMOS 호환 공정 기반의 지능형소자를 바탕으로 어레이 구현 계획 제시. 구현할 어레이의 셀 사이즈 및 총 개수를 자율 제시
- CMOS 소자 기술 : 향후 양산성을 고려하여 8인치 이상의 웨이퍼에서 재현성을 가지는 CMOS 소자 제작 필수. CMOS 융합의 고집적 및 저전력화를 위하여 180nm 이하 CD와 1.8V 이하 구동전압( $V_{DD}$ )로 한정하여 제시. 성능지표에서 제시한 CMOS 소자의 산포 목표치( $\pm 20\%$  이내)의 만족 여부를 과제 2차년도부터 매년 실측 평가
- 구동회로 기술 : 동일 기판상 어레이 타입 지능형반도체와 함께 구동회로까지 집적하여 일괄제조하는 융합제조 기반기술 제시. 이때 집적하고자 하는 구동회로의 구성 형태와 종류는 자율 제시

- 국내외 특허 출원 및 등록 자율 제시 / SCI(E)급 논문 게재 건수 자율 제시
  - 출원, 등록 특허 및 게재 논문은 기여율 50% 이상인 경우에 한하여 성과 인정 (단계, 최종평가위원회 검토사항)
  - PDK 구축 및 특화 MPW 제작서비스 등 검증 지원을 위해 소요되는 비용을 제외하고 잔여 연구비에 대해 국가 R&D 연구비 당 성과 기준 적용
    - \* 예시: 1차년도 3,000백만원 기준 검증지원 소요비용 2,000백만원 예상 시, 잔여예산 1,000백만원 기준으로 성과목표 건수 자율 제시 (특허는 국가 R&D 연구비 10억당 출원 4건/등록 2건 내외 수준, 논문은 국가 R&D 연구비 10억당 5편 내외 수준)
- JCR 상위 10% 이내 논문 게재 건수 자율 제시
- 본 과제를 통한 석·박사 배출 예상 인원 자율 제시

#### 4. 지원기간/예산/추진체계

- 연구개발기간: '25.4.~'28.12. (총 45개월 내외, (2+2) 21개월 + 24개월)
- 정부지원연구개발비: 총 15,000백만원 내외 ('25년 3,000백만원 내외)

1단계('25.4.~'26.12. / 21개월)		2단계('27.1.~'28.12. / 24개월)	
1차년도	2차년도	3차년도	4차년도
'25.4.~'25.12.	'26.1.~'26.12.	'27.1.~'27.12.	'28.1.~'28.12.
3,000백만원	4,000백만원	4,000백만원	4,000백만원

※ 연차별 연구비 규모 및 연구기간은 정부예산 사정에 따라 변경 가능

※ 단계평가 결과에 따라 2단계 계속지원 여부 및 연구개발비 변경(증액 또는 감액)을 결정할 수 있음

- 선정 과제 수: 1개 과제 (단위과제 - 공동 또는 단독)
- 과제형태: (일반)연구개발과제
- 주관연구개발기관: 대학/출연(연)/기업부설연구소 등
  - ※ 본 RFP는 국내 한정된 인프라 기관 현황을 고려하여, 신규과제 공모 공고문 내 차세대지능형 반도체기술개발(소자)사업 신규지원 제한사항과 관계없이 중복신청 가능
- 기술료 징수여부: 징수

#### 5. 특기사항

- 실제 제출하는 과제명은 연구자의 아이디어가 포함될 수 있는 제목으로 연구계획서 제출
- 과제 목표에 부합하도록 연차별/단계별 통합추진체계를 구체적으로 제시
- 복수의 공동과제 또는 위탁과제를 통한 역할 분담 가능
- 빠른 기술 개발과 검증 서비스 지원을 위하여 개발과 지원이 동시에 이루어져야 하며, 연구 기간은 4년 (2년+2년)으로 구성
- CMOS 소자 관련된 선행개발 이력 및 결과 제시 필요
  - CMOS 소자(Thin/Thick N/PMOS)를 이용한 선행개발 이력 필수
  - 지능형반도체 구동회로 설계가 가능한 수준의 능동소자 및 수동소자 PDK 제공 필수
  - 안정된 CMOS 성능 확보를 위하여 신뢰성 결과 제시 필요

- 지능형소자 개발에 관련된 선행개발 이력 및 결과 제시 필수
  - 지능형반도체  $32 \times 32$  이상 어레이 제작 이력 필수
  - $32 \times 32$  이상의 어레이 타입 지능형반도체를 이용한 Multiply-ACcumulation(MAC) 연산 선행개발 이력 필수
- 지능형반도체 어레이 소자 제작에 있어 최소 1 Kbit 이상 집적의 수행을 필수 제시
- 동일 기관에 집적되는 지능형반도체 구동회로의 설계·검증 계획 자율 제시
- $32 \times 32$  이상의 어레이 타입 지능형반도체의 MAC 연산을 위해, FPGA를 이용한 연산 가속기에 대한 검증 계획을 자율 제시
- 구축된 지능형반도체 Lab to Fab 스케일업 기반기술은 과제 종료 후 공공서비스로 제공 권고
- 과제 목표에 부합하도록 연차별 기술구축 및 MPW 추진계획을 구체적으로 제시
- 특화 MPW의 운영은 많은 인력, 장비, Tool 등 방대한 요소가 필요한 과업이므로 추진 계획 및 운영방법에 대하여 구체적 계획을 제시함