

|  |                                  |            |      |
|--|----------------------------------|------------|------|
| RFP번호  | 2023-반도체설계검증<br>인프라활성화사업-01      | 공모유형       | 지정공모 |
| 사업명  | 반도체 설계검증 인프라 활성화사업               |            |      |
| RFP명   | 반도체 설계 실무인력 양성연계 칩제작/검증 및 플랫폼 개발 |            |      |
| PM분야   | 나노·반도체                           | 보안과제<br>여부 | 일반   |
| 1. 추진배경  |                                  |            |      |
| <ul style="list-style-type: none"> <li>○ 한국은 메모리반도체 분야는 세계 시장에서 시장점유율이 1위에 달하고 있으나, 비 메모리반도체 분야는 3% 내외의 시장점유율로 한정적 경쟁력을 보유하고 있기에 세계 반도체 시장에서 선도 국가로 나아가기 위해서는 시스템반도체 분야의 장기적 육성정책이 필요함</li> <li>○ 연평균 26.5% 성장하면서 2030년 1,179억 달러의 시장규모를 가지는 시스템반도체 기반의 AI 반도체 시장이 예상되나 반도체 설계/공정을 이끌어갈 핵심 인력이 부족하고, 패키징-파운드리-패키징/테스트의 원활한 유기적 네트워크 구축이 체계적으로 확립되어 있지 않음</li> <li>○ 현장 중심의 전문 인력이 부족한 생태계에서 특성화고부터 산학연 재직자 전문인력까지 아우르는 실무형 설계/공정 인력 양성 정책이 필요</li> <li>○ 국내에 6인치 Si CMOS MPW 공정이 가능한 산학연 인프라가 구축되어 있지만, 즉각 대응이 가능한 시장 수요형 설계/공정 디자인과 파운드리 연계제작의 일원화 플랫폼의 구성이 필요</li> <li>○ 반도체 산업은 국가 근간산업 및 전략산업으로써 중장기적 육성대책 수립이 필요하고, 치열한 글로벌 선진국들 간의 기술 경쟁력에서 우위를 점할 수 있는 전략적인 정부지원이 필요</li> </ul> <p style="text-align: center;">＜ 공공 분야 팹의 6인치 기반 0.5um CMOS 공정 현황 ＞</p> <div style="border: 1px solid black; padding: 10px; margin-top: 10px;"> <ul style="list-style-type: none"> <li>○ 제작가능 최대 칩 크기: 22mm×22mm (통상 10mm×10mm)</li> <li>○ 마스크(MASK) 비용: 3천만원(15 MASK, 20mm×20mm 기준)</li> <li>○ 공정 비용: 1억 내외(25장(메인+테스트) 웨이퍼 시작, 최종 10장 제작)</li> <li>○ 공정 기간/횟수: 3개월 이상/4회 이하</li> </ul> </div> |                                  |            |      |
| 2. 연구개발목표  |                                  |            |      |
| <ul style="list-style-type: none"> <li>○ 최종목표 : 반도체 설계인력 대상 6인치 Si CMOS 공정 기반 MPW제작 및 측정 지원 및 관련 인프라 고도화 <ul style="list-style-type: none"> <li>- 반도체 설계 분야의 학부생·대학원생에게 공공팹을 활용한 ①6인치 CMOS 설계 검증서비스 제공 및 ②공공팹의 노후·공백 장비 보강, ③공공팹 연계 체계 추진</li> </ul> </li> </ul>   |                                  |            |      |

○ 단계별 목표

1단계('23~'25)

- (설계검증서비스) 6인치 기반 0.5um Si CMOS 공정을 통해 학부생·대학원생에게 설계한 칩을 제작해주고, 직접 측정할 수 있는 기회를 제공
  - ※ 마스크·공정·인건비 등을 고려하여 年 25억원(총 125억원)의 예산으로 매년 최소 6회 MPW 제공(1회당 25개 설계팀 이상 필수단 1차년도는 테스트 진행)
- 6인치 0.5um Si CMOS MPW baseline 플랫폼 개발
  - (장비보강) 年 100억원 내외(3년, 총 300억원)의 예산으로 원활한 0.5um Si CMOS 공정 수행을 위한 공공팹의 노후·공백장비 보강 추진
    - ※ IC 성능 개선을 위해 가장 필요한 장비 위주로 보완(노광기, 이온주입기 등)
  - 0.5 um Si CMOS (M1~M3) 표준 공정이 EDA 소프트웨어와 상호보완적으로 연계되어 지속적인 MPW 서비스 제공을 위한 PDK 확보
  - 제작 완료된 0.5 um Si CMOS (M1~M3) 소자 및 수동소자의 전기적 특성을 측정하여 제공 플랫폼의 기본 성능을 검증하고, 제작된 소자 정보 제공 및 dicing을 통한 칩 단위 배포
- 연계시스템 및 인프라 네트워크
  - 총 45억원('23년 20억원, '24년 25억원)의 예산으로 대학팹\*의 서비스 정보를 전산시스템\*\*으로 연계하는 체계 구축지원
    - \* '21년 대학 나노인프라 혁신사업으로 선정된 6개 대학 나노팹 대상임
    - \*\* 現나노인프라 연계체계 총괄지원사업으로 구축 중인 원스톱 서비스 시스템(원스톱 서비스 신청 및 진행상황 모니터링 시스템, 장비 및 공정기술, 관련 동향 등 나노인프라 이용자 통합지원 기능 구현)
  - 대학별 보유장비 및 공정기술(표준화 및 데이터화) 등에 대한 상시 업데이트 및 통합정보 제공
  - 수요자의 서비스 신청에 대한 편의성 향상 및 나노인프라 간 연계·협력 지원을 위한 공정 코디네이터\* 컨설팅 지원
    - \* 수요자 신청내역 컨설팅을 통하여, 필요한 공정/분석 설계 초안 마련, 참여기관/활용가능 장비 등을 연계하여 지원하는 컨설팅 제공
  - 참여기관 간 설계 디자인, PDK 호환/마스크 키 공유
  - 노후/공백장비 분석 등을 통한 장비 우선구축순위 도출
  - 참여기관 간 협력활동 지원 및 워킹그룹\* 운영(운영위/분과위 등)
    - \* 운영위원회(전체 운영방향(장비 우선구축순위 등)), 분과위원회(R&D, 기업지원, 인력양성 등)

|         |              |  |  |
|---------|--------------|--|--|
|         | 2단계('26~'27) | <ul style="list-style-type: none"> <li>○ (설계검증서비스) 6인치 기반 0.5um Si CMOS 공정을 통해 학부생·대학원생에게 설계한 칩을 제작해주고, 직접 측정할 수 있는 기회를 제공 <ul style="list-style-type: none"> <li>※ 마스크·공정·인건비 등을 고려하여 年 25억원(총 125억원)의 예산으로 매년 최소 12회 MPW 제공(1회당 25개 설계팀 이상) 필수</li> </ul> </li> <li>○ 6인치 0.5um Si CMOS MPW baseline 플랫폼 개발 <ul style="list-style-type: none"> <li>- 0.5 um Si CMOS (M1~M3) 표준 공정이 EDA 소프트웨어와 상호보완적으로 연계되어 지속적인 MPW 서비스 제공을 위한 PDK 최적화</li> <li>- 개발된 PDK와 펌리스-파운드리-인프라(참여기관) 반도체 공용 Fab 간의 호환성 확보</li> <li>- 제작 완료된 0.5 um Si CMOS (M1~M3) 소자 및 수동소자의 전기적 특성을 측정하여 제공 플랫폼의 기본 성능을 검증하고, 제작된 소자 정보 제공 및 dicing을 통한 칩 단위 배포</li> </ul> </li> <li>○ 인프라 네트워크 <ul style="list-style-type: none"> <li>- 접근성, 신속성, 편의성 및 MPW baseline 플랫폼 데이터 공동 활용과 연구 장비의 효율적인 관리를 위한 산-학-연 협력형 전산시스템 최적화</li> <li>- 기업지원형, 산업요구형 설계검증/공정을 지원할 수 있는 개방형 서비스 구축</li> </ul> </li> </ul> |  |
| 3. 성과목표 |              |  |  |
|         | 1단계('23~'25) | <ul style="list-style-type: none"> <li>○ 매년 최소 6회 MPW 제공(1회당 25개 설계팀 이상) 필수 (단, 1차년도는 테스트 진행) <ul style="list-style-type: none"> <li>※ MPW 제작을 위한 설계 목적, 가치, 상용화 가능성 등에 대한 심사를 진행하고 우수한 아이디어를 선별하는 설계팀 선발과정을 실적으로 제출 필수</li> </ul> </li> <li>○ 6인치 0.5um Si CMOS MPW baseline 플랫폼 개발 <ul style="list-style-type: none"> <li>- 원활한 0.5um Si CMOS 공정 수행을 위한 공공팹의 노후·공백장비 보강 건수 자율 제시</li> <li>- MPW 서비스 제공을 위한 PDK 구축 건수 자율 제시</li> <li>- 0.5 um Si CMOS (M1~M3) 표준 공정 wafer 수율 목표치 자율 제시 (예시: 50% 이상)</li> <li>- lot-to-lot uniformity &lt; +/-30%, within wafer uniformity &lt; +/-30%, TAT &lt; 4개월, 공정신뢰성: TEG 동작률 80% 이상)</li> </ul> </li> <li>○ 연계시스템 및 인프라 네트워크 <ul style="list-style-type: none"> <li>- 대학 나노인프라 혁신사업에 참여하는 대학의 장비, 공정기술, 인력, 동향정보를 제공하고, 이용자가 실시간 공장·장비별 통합 모니터링이 가능한 통합정보시스템 구축</li> </ul> </li> </ul>                                       |  |

|         |              |   |  |
|---------|--------------|---|--|
|         |              | <ul style="list-style-type: none"> <li>- 업데이트 정보 반영 및 관리(시스템 탑재용 정보자료 보고서 제시)</li> <li>- 이용자 지원을 위한 공정 서비스 코디네이터 지원 성과 제시(정량 또는 정성)</li> <li>- 공정기술 로드맵 구축 및 업데이트: 1회/년 이상</li> <li>- 장비구축 및 공정기술 로드맵 보고서: 1회/단계</li> <li>- 성과조사: 1회/년</li> <li>- 이용자 만족도 설문조사: 1회/년</li> <li>- 수요장비 우선순위 도출: 1회/년</li> <li>- 워킹그룹 운영 : 운영위원회(1회/년 이상), 각 분과위원회(1회/년 이상)</li> <li>- 참여기관 간 워크숍 개최: 1회/년</li> <li>- 나노인프라 활용 연례보고서 발간: 1건/년</li> <li>- 사업수행 성과홍보 : 언론홍보 및 전시회 참가(각 1회/년)</li> </ul>  |  |
|         | 2단계('26~'27) | <ul style="list-style-type: none"> <li>○ 매년 최소 12회 MPW 제공(1회당 25개 설계팀 이상) 필수 <ul style="list-style-type: none"> <li>※ MPW 제작을 위한 설계 목적, 가치, 상용화 가능성 등에 대한 심사를 진행하고 우수한 아이디어를 선별하는 설계팀 선발과정을 실적으로 제출 필수</li> </ul> </li> <li>○ 6인치 0.5um Si CMOS MPW baseline 플랫폼 최적화 <ul style="list-style-type: none"> <li>- MPW 서비스 제공을 위한 PDK 구축 건수 자율 제시</li> <li>- 0.5 um Si CMOS (M1~M3) 표준 공정 wafer 수율 목표치 자율 제시 (예시: 70% 이상)</li> <li>- lot-to-lot uniformity &lt; +/-20%, within wafer uniformity &lt; +/-20%, TAT &lt; 3개월, 공정신뢰성: TEG 동작률 90% 이상)</li> <li>- MPW 제작 가능 능력 목표치 자율 제시: 현 수준 대비 향상된 목표치 자율 제시 (예시: 15회/년)</li> </ul> </li> <li>○ 인프라 네트워크 <ul style="list-style-type: none"> <li>- 구축된 대학 통합정보시스템의 고도화 목표 자율제시</li> </ul> </li> <li>○ 특허등록, 우수논문(JCR 10% 이내 SCIE), 기술이전, 사업화 목표 자율제시</li> </ul> |  |
| 4. 특기사항 |              | <ul style="list-style-type: none"> <li>○ (연구개발계획서 제출 시)실제 연구개발과제명은 연구자의 아이디어가 반영된 제목으로 변경하여 제출해야 함</li> <li>○ (연구개발계획서 제출 시)기존 기술 및 기존 과제와의 차별성을 구체적으로 기술해야함</li> <li>○ (연구개발계획서 제출 시)개발기술의 성능목표 항목과 수치는 연구 제안자가 자유롭게 제시하되, 제시한 각 성능목표 항목과 수치에 대한 타당성을 입증하기 위해 객관적이고 공신력 있는 출처, 자료 등을 기술해야하고 구체적 검증방안* 제시 필수</li> </ul>   |  |

- \* 1) (제품 등 평가대상이 정해진 표준이나 기술규정이 있는 경우)인증기관에서 발행한 인증서 확보
- 2) (제품 등 평가대상이 정해진 표준이나 기술규정이 없는 경우)참여기관을 제외한 평가기관(시험, 검사, 교정 등)에서 발행한 공인시험성적서(또는 상응하는 문서) 확보
- 3) (위 1, 2가 불가능하여 자체평가서 제출을 제안할 경우)구체적인 자체평가 실시 사유, 자체평가 항목/목표수치, 시험방법 등을 연구개발계획서에 제시하고, 자체평가 진행 시 위 1, 2의 인증기관 또는 평가기관 소속 외부인원 입회 및 확인서 확보 필수
- (연차점검, 단계평가 및 최종평가 등 보고서 제출 시) 개발기술의 성능목표 항목과 수치에 대한 인증서, 공인시험성적서 등 제출 필수
- (단계평가)1단계 연구 결과를 평가하여 2단계 계속지원 여부를 결정함
- (주관연구개발기관) 본 사업의 주관연구개발기관은 1, 2단계 성과목표를 달성할 수 있는 종합적 수행능력(반도체 공정, 분석, 설계)을 보유한 기관이어야함
- (수행기관) 반도체 설계검증 인프라 활성화에 참여하는 모든 수행기관은 공고일 기준 6인치 Si CMOS 일괄공정의 공정결과 및 장비운영현황자료 제출이 가능한 기관으로 한정하며, 공공팹 연계체계 추진을 위해 국가나노인프라협의체를 필수적으로 컨소시엄에 포함하여 지원해야 함
- (연구책임자) 위 수행기관 소속 전문성을 보유한 연구자로, 과제 종료 시까지 정년이 보장된 연구자로 한정함
- 사업 종료 후 Si CMOS baseline 유지를 위한 사업전략 제시 (MPW 사업 등)
- (선정평가)발표평가와 더불어 현장평가 (현장점검)를 진행하여 최종 수행기관을 선정함
  - 1차 평가(발표평가)로 2배수 이내 예비 선정 후 현장평가를 통한 최종 수행기관 선정
  - 단, 2배수 이내 지원일 경우, 발표평가와 현장평가 통합 진행 가능
- ※ 다수의 Si CMOS 일괄공정이 가능한 기관이 컨소시엄을 구성한 경우, 주관연구개발기관은 현장 평가를 수행하고 그 외 공동연구개발기관은 팹시설에 대한 홍보동영상을 기반으로 현장평가 진행 예정
- 반도체 설계검증 인프라 활성화사업의 특성을 고려하여, 각 수행기관의 간접비는 직접비의 10% 이내로 제한

## 5. 연구개발기간 및 연구개발비

- 연구개발기간 : '23.4. ~ '27.12.(총 57개월 내외, (3+2)33개월+24개월)
- 연구비 : 총 47,000백만원 내외('23년 12,000백만원)

| 1단계('23.4 ~ '25.12 / 33개월) |               |               | 2단계('26.1 ~ '27.12 / 24개월) |               |
|----------------------------|---------------|---------------|----------------------------|---------------|
| 1차년도                       | 2차년도          | 3차년도          | 4차년도                       | 5차년도          |
| '23.4.~'23.12              | '24.1.~'24.12 | '25.1.~'25.12 | '26.1.~'26.12              | '27.1.~'27.12 |
| 12,000백만원                  | 16,500백만원     | 13,500백만원     | 2,500백만원                   | 2,500백만원      |

※ 연차별 연구비 규모 및 연구기간은 정부예산 사정에 따라 변경 가능

- 과제형식 : 단위과제
- 선정 과제 수 : 1개 단위과제